

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月29日

出 願 番 号

Application Number:

特願2002-251843

[ST.10/C]:

[JP2002-251843]

出 願 人

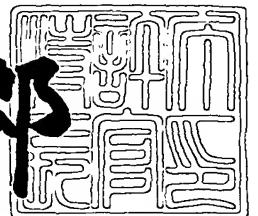
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034353

【書類名】 特許願

【整理番号】 71110565

【提出日】 平成14年 8月29日

【あて先】 特許庁 長官殿

【国際特許分類】 H03K 3/02

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 中嶋 和広

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100105511

 【弁理士】

 【氏名又は名称】 鈴木 康夫

【選任した代理人】

 【識別番号】 100109771

 【弁理士】

 【氏名又は名称】 臼田 保伸

【手数料の表示】

 【予納台帳番号】 055457

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9711687

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振回路及び半導体集積回路

【特許請求の範囲】

【請求項 1】 複数の遅延回路を有するリング発振回路であって、

隣接する遅延回路の間に接続されたトランスファゲートを有し、前記トランスファゲートは、第 1 の制御信号によりその導通状態が制御される第 1 導電型トランジスタ及び前記第 1 の制御信号と異なる第 2 の制御信号によりその導通状態が制御される第 2 導電型トランジスタを備えることを特徴とするリング発振回路。

【請求項 2】 入力信号を反転遅延して出力する遅延回路を奇数段縦続接続し、最終段の前記遅延回路の出力を初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路において、

前記各遅延回路は、PchトランジスタとNchトランジスタを並列接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され、かつ前記トランスファゲートのPchトランジスタをオン、Nchトランジスタをオフにした状態での発振と、前記トランスファゲートのPchトランジスタをオフ、Nchトランジスタをオンにした状態での発振と、前記トランスファゲートのPchトランジスタ及びNchトランジスタの両方をオンにした状態での発振とを切り替え可能に構成されていることを特徴とするリング発振回路。

【請求項 3】 入力信号を反転遅延して出力する遅延回路を偶数段縦続接続し、最終段の前記遅延回路の出力を、発振開始制御信号が入力されるナンドゲートを介して初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路において、

前記各遅延回路は、PchトランジスタとNchトランジスタを並列接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され、かつ前記トランスファゲートのPchトランジスタをオン、Nchトランジスタをオフにした状態での発振と、前記トランスファゲートのPchトランジスタをオフ、Nchトランジスタをオンにした状態での発振と、前記トランスファゲートのPchトランジスタ及びNchトランジスタの両方をオンにした状態での発振とを切り替え可能に構成されていることを特徴とするリング発振回路。

【請求項4】 前記複数の遅延回路における前記トランスファゲートのPchトランジスタのゲート電極に共通接続され、各トランスファゲートのPchトランジスタを同時にオンオフ制御する第1の制御信号が外部から入力される第1の制御端子と、前記複数の遅延回路における前記トランスファゲートのNchトランジスタのゲート電極に共通接続され、各トランスファゲートのNchトランジスタを同時にオンオフ制御する第2の制御信号が外部から入力される第2の制御端子とを有していることを特徴とする請求項2または3に記載のリング発振回路。

【請求項5】 前記リング発振回路からの出力を分周する分周回路を有していることを特徴とする請求項1～4のいずれかに記載のリング発振回路。

【請求項6】 請求項1～5のいずれかに記載のリング発振回路が、半導体集積回路チップの空きスペースに本体回路と同一の製造条件により形成されていることを特徴とする半導体集積回路装置。

【請求項7】 複数の遅延回路と、隣接する遅延回路の間に接続されたトランスファゲートを有し、前記トランスファゲートが、第1の制御信号によりその導通状態が制御される第1導電型トランジスタ及び前記第1の制御信号と異なる第2の制御信号によりその導通状態が制御される第2導電型トランジスタを備えているリング発振回路を、前記第1及び第2導電型トランジスタを含む半導体集積回路チップの空きスペースに、該半導体集積回路チップ上の本体回路と同一の製造条件のもとで形成し、該リング発振回路を、前記第1導電型トランジスタをオン、前記第2導電型トランジスタをオフにした状態と、前記第1導電型トランジスタをオフ、前記第2導電型トランジスタをオンにした状態と、前記第1及び第2導電型の両方をオンにした状態でそれぞれ発振させて各発振周期を測定し、該測定した各発振周期の値に基づいて当該半導体集積回路装置の良否判定を行うことを特徴とする半導体集積回路装置の試験方法。

【請求項8】 PchトランジスタとNchトランジスタを並列に接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され入力信号を反転遅延して出力する遅延回路を奇数段縦続接続するとともに、最終段の前記遅延回路の出力を初段の前記遅延回路の入力にフィードバックすることにより

発振するリング発振回路を、P c hトランジスタとN c hトランジスタを含む半導体集積回路チップの空きスペースに、該半導体集積回路チップ上の本体回路と同一の製造条件のもとで形成し、該リング発振回路を、前記トランスファゲートのP c hトランジスタをオン、N c hトランジスタをオフにした状態と、前記トランスファゲートのP c hトランジスタをオフ、N c hトランジスタをオンにした状態と、前記トランスファゲートのP c hトランジスタ及びN c hトランジスタの両方をオンにした状態でそれぞれ発振させて各発振周期を測定し、該測定した各発振周期の値に基づいて当該半導体集積回路装置の良否判定を行うことを特徴とする半導体集積回路装置の試験方法。

【請求項9】 P c hトランジスタとN c hトランジスタを並列に接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され入力信号を反転遅延して出力する遅延回路を偶数段縦続接続するとともに、最終段の前記遅延回路の出力を発振開始制御信号が入力されるナンドゲートを介して初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路を、P c hトランジスタとN c hトランジスタを含む半導体集積回路チップの空きスペースに、該半導体集積回路チップ上の本体回路と同一の製造条件のもとで形成し、該リング発振回路を、前記トランスファゲートのP c hトランジスタをオン、N c hトランジスタをオフにした状態と、前記トランスファゲートのP c hトランジスタをオフ、N c hトランジスタをオンにした状態と、前記トランスファゲートのP c hトランジスタ及びN c hトランジスタの両方をオンにした状態でそれぞれ発振させて各発振周期を測定し、該測定した各発振周期の値に基づいて当該半導体集積回路装置の良否判定を行うことを特徴とする半導体集積回路装置の試験方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、リング発振回路に関し、特に、PチャネルMOSトランジスタ（以下、P c hトランジスタ）とNチャネルMOSトランジスタ（以下、N c hトランジスタ）等の異なる導電型トランジスタを含む半導体集積回路装置の動作確認

試験用として好適なリング発振回路に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路装置（ＩＣチップあるいはＬＳＩ）の空きスペースに、本体回路と同一製造工程により、本体回路の高速動作特性評価を行うためのリング発振回路を組み込んで形成しておき、このリング発振回路の発振クロック周期を測定することによって、ＩＣチップ内の本体回路の動作特性評価試験を行う技術が、例えば特公平 8 - 4 1 0 4 号公報あるいは特開平 7 - 1 0 4 0 3 7 号公報等に記載されている。

【 0 0 0 3 】

図 4 は、このような試験用のリング発振回路が組み込まれた上記公報記載のＩＣチップの平面図を示している。ＩＣチップ 4 0 の空きスペースには、入力信号の位相を反転しかつ遅延して出力する複数のインバータ 4 3 を多段（奇数段）継続接続し、最終段インバータの出力を初段インバータの入力に帰還することによりリング状に接続して構成された動作確認用のリング発振回路 4 1 が形成され、その出力はＩＣチップ周囲に設けられた電極パッド 4 2 に接続されている。

【 0 0 0 4 】

この動作確認用リング発振回路 4 1 とＩＣチップ 4 0 内の本体集積回路とは同一の製造条件（回路定数等）で製造されるので、ＩＣチップ 4 0 の製品検査の際にこのリング発振回路 4 1 を動作させ、電極パッド 4 2 から出力される発振周期が正常（発振クロック周期が規格範囲内）であれば、本体集積回路の動作特性（遅延特性）も正常であるとみなすことができる。従って、このリング発振回路 4 1 の発振周波数を測定することにより、ＩＣチップ 4 0 の良品と不良品の選別を行うことができる。

【 0 0 0 5 】

図 5 は、半導体集積回路装置が P c h トランジスタと N c h トランジスタを含む C M O S 等により構成されている場合に、ＩＣチップ 5 0 の空きスペースに形成される動作特性評価試験用のリング発振回路の例を示しており、P c h トランジスタと N c h トランジスタとからなる C M O S インバータ 5 1 ～ 5 3 を奇数段

(図5では3段) リング状に接続することによりリング発振回路を構成している。

【0006】

図5において、CMOSインバータ51～53はそれぞれ、ドレイン・ソース電極間が電源電位Vccと出力ノードとの間に接続されるとともにゲート電極に入力信号を受けるPchトランジスタと、ドレイン・ソース電極間が出力ノードと接地電位との間に接続されるとともにゲート電極に入力信号を受けるNchトランジスタによって構成されている。最終段インバータ53の出力ノード56は初段インバータ51の入力側にフィードバックされてリング発振回路が構成される。また、このリング発振回路の発振クロック信号は出力ノード56と接続されたパッド57から出力される。

【0007】

次に、このリング発振回路の動作について説明する。インバータ53の出力ノード56から出力されるクロック信号が接地電位から電源電位Vccに立ち上がると、インバータ51の出力ノード54の電位は、遅延時間Td1遅れて電源電位Vccから接地電位に立ち下がり、インバータ52の出力ノード55の電位は、さらに遅延時間Td2遅れて接地電位から電源電位Vccに立ち上がり、インバータ53の出力ノード56の電位はさらに遅延時間Td3遅れて電源電位Vccから接地電位に立ち下がる。

【0008】

これを受けてインバータ51の出力ノード54の電位は、遅延時間Td4遅れて接地電位から電源電位Vccに立ち上がり、インバータ52の出力ノード55の電位は、さらに遅延時間Td5遅れて電源電位Vccから接地電位に立ち下がり、インバータ53の出力ノード56の電位はさらに遅延時間Td6遅れて接地電位から電源電位Vccに立ち上がる。

【0009】

上記動作により1周期分のクロック信号が出力されるから、このリング発振回路から出力される発振クロック信号の周期Tは、

$$T = Td1 + Td2 + Td3 + Td4 + Td5 + Td6$$

となる。

【0010】

一方、クロック信号が接地電位から電源電位 V_{cc} に立ち上がる時間は、各 CMOS インバータ 51～53 内の Pch トランジスタがオフからオンに切り替わる時間によって決まるからそれぞれ Pch トランジスタの特性（しきい値）に依存し、また、クロック信号が電源電位 V_{cc} から接地電位に立ち下がる時間は、各 CMOS インバータ 51～53 内の Nch トランジスタがオフからオンに切り替わる時間によって決まるからそれぞれ Nch トランジスタの特性（しきい値）に依存する。

【0011】

これらの Pch トランジスタと Nch トランジスタは、それぞれ同一の製造条件（回路定数等）で製造されるので、各インバータ 51～53 が電源電位 V_{cc} から接地電位に立ち下がる（Nch トランジスタがオフからオンに遷移する）ときの遅延時間はそれぞれ等しくなり、また、各インバータ 51～53 が接地電位から電源電位 V_{cc} に立ち上がる（Pch トランジスタがオフからオンに遷移する）ときの遅延時間もそれぞれ等しくなる。

【0012】

そこで、Nch トランジスタがオフからオンに切り替わるときの遅延時間を T_{dn} 、Pch トランジスタがオフからオンに切り替わるときの遅延時間を T_{dp} とすると、 T_{d1} 、 T_{d3} および T_{d5} は、 T_{dn} となり、 T_{d2} 、 T_{d4} および T_{d6} は、 T_{dp} とみなせるから、このリング発振回路から出力されるクロック信号の周期 T は、

$$T = 3 (T_{dn} + T_{dp})$$

となる。

【0013】

このように、リング発振回路を構成する各インバータの出力遅延時間は、CMOS を構成する Pch トランジスタと Nch トランジスタの特性に依存し、一方、IC チップ内の Pch トランジスタと Nch トランジスタもリング発振回路を構成する Pch トランジスタと Nch トランジスタとそれぞれ同一の製造条件で

製造されるので、従来、この奇数段のインバータで構成されるリング発振回路の発振クロック周期を測定することによりICチップの試験を行い、発振周期が規格範囲内であればICチップ内の本体集積回路の動作特性（遅延特性）も規格範囲内であると判定していた。

【0014】

【発明が解決しようとする課題】

CMOSインバータチェーンのリング発振回路では、各CMOSインバータにおけるPchトランジスタの立ち上がり遅延と、Nchトランジスタの立ち下がり遅延の合計（ $T_{dn} + T_{dp}$ ）によって、リング発振回路の発振周期が決定されるため、Nchトランジスタの特性とPchトランジスタのしきい値の設計値からのずれ等により両トランジスタの遅延特性のいずれか一方が製造規格範囲外、またはいずれも製造規格範囲外となっても、両者の立ち下がりと立ち上がりの遅延時間が互いに相殺する方向にずれている場合には、その合計の遅延時間（ $T_{dn} + T_{dp}$ ）が規格範囲内に収まりリング発振回路の発振周期が規格範囲内となることがある。従ってその場合には、ICチップ内の本体回路の高速動作特性（遅延特性）も規格範囲内と判定されてしまう。

【0015】

例えば、Nchトランジスタの立ち下がり遅延時間が比較的短い値で製造され、一方、Pchトランジスタの立ち上がり遅延時間が製造規格範囲よりも長い値で製造された場合、実際のリング発振回路の発振周期テストでは、Nchトランジスタの性能（動作遅延時間）がPchトランジスタの性能（動作遅延時間）をカバーし、試験をパスすることがある。同様に、Nchトランジスタが製造規格範囲を外れ、Pchトランジスタが製造規格範囲内に収まっている場合も、従来のリング発振回路でのテストではLSIの不良を検出できない場合がある。

【0016】

特に、最近のLSIは高速動作が要求され、動作周波数も非常に高くなっているが、その場合、上記構成のリング発振回路の発振周期テストではパスしても、実際のLSIの遅延パスにおいて、PchトランジスタあるいはNchトランジスタの特性に大きく依存する箇所があると、PchトランジスタあるいはNch

トランジスタのいずれか一方の立ち上がりあるいは立ち下がり遅延時間が製造規格範囲よりも長いために、L S I が正常に動作しなくなる場合が生ずることがある。

【 0 0 1 7 】

本発明の目的は、上記問題点に鑑み、P c h トランジスタとN c h トランジスタを含む半導体集積回路の遅延特性試験において、P c h トランジスタとN c h トランジスタのどちらか一方が製造規格を外れている場合であっても、製造不良を検出可能なリング発振回路を提供することにある。

【 0 0 1 8 】

【課題を解決するための手段】

本発明のリング発振回路は、入力信号を反転遅延して出力する遅延回路を奇数段縦続接続し、最終段の前記遅延回路の出力を初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路において、前記各遅延回路は、P c h トランジスタとN c h トランジスタを並列接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され、かつ前記トランスファゲートのP c h トランジスタをオン、N c h トランジスタをオフにした状態での発振と、前記トランスファゲートのP c h トランジスタをオフ、N c h トランジスタをオンにした状態での発振と、前記トランスファゲートのP c h トランジスタ及びN c h トランジスタの両方をオンにした状態での発振とを切り替え可能に構成されていることを特徴とする。

【 0 0 1 9 】

また、本発明のリング発振回路は、入力信号を反転遅延して出力する遅延回路を偶数段縦続接続し、最終段の前記遅延回路の出力を、発振開始制御信号が入力されるナンドゲートを介して初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路において、前記各遅延回路は、P c h トランジスタとN c h トランジスタを並列接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され、かつ前記トランスファゲートのP c h トランジスタをオン、N c h トランジスタをオフにした状態での発振と、前記トランスファゲートのP c h トランジスタをオフ、N c h トランジスタをオンにした状

態での発振と、前記トランスファゲートのPchトランジスタ及びNchトランジスタの両方をオンにした状態での発振とを切り替え可能に構成されていることを特徴とする。

【 0 0 2 0 】

リング発振回路の前記発振状態の切り替えは、前記複数の遅延回路における前記トランスファゲートのPchトランジスタのゲート電極に共通接続された第1の制御端子に外部から入力され、各トランスファゲートのPchトランジスタを同時にオンオフ制御する第1の制御信号と、前記複数の遅延回路における前記トランスファゲートのNchトランジスタのゲート電極に共通接続された第2の制御端子に外部から入力され、各トランスファゲートのNchトランジスタを同時にオンオフ制御する第2の制御信号によって制御される。

【 0 0 2 1 】

また、本発明の半導体集積回路装置試験方法は、PchトランジスタとNchトランジスタを並列に接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され入力信号を反転遅延して出力する遅延回路を奇数段縦続接続するとともに、最終段の前記遅延回路の出力を初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路、あるいはPchトランジスタとNchトランジスタを並列に接続したトランスファゲートとCMOSインバータとの縦続接続によって構成され入力信号を反転遅延して出力する遅延回路を偶数段縦続接続するとともに、最終段の前記遅延回路の出力を発振開始制御信号が入力されるナンドゲートを介して初段の前記遅延回路の入力にフィードバックすることにより発振するリング発振回路を、PchトランジスタとNchトランジスタを含む半導体集積回路チップの空きスペースに、該半導体集積回路チップ上の本体回路と同一の製造条件のもとで形成し、該リング発振回路を、前記トランスファゲートのPchトランジスタをオン、Nchトランジスタをオフにした状態と、前記トランスファゲートのPchトランジスタをオフ、Nchトランジスタをオンにした状態と、前記トランスファゲートのPchトランジスタ及びNchトランジスタの両方をオンにした状態でそれぞれ発振させて各発振周期を測定し、該測定した各発振周期の値に基づいて当該半導体集積回路装置の良否

判定を行うことを特徴とする。

【 0 0 2 2 】

本体集積回路と同一の製造条件の下で I C チップの空きスペースに形成された本発明のリング発振回路によって、本体集積回路の P c h トランジスタの遅延特性が規格範囲内かどうかをテストする場合には、第 1 の制御信号を “ L o w ” 、第 2 の制御信号を “ L o w ” にして、各トランスファゲートの P c h トランジスタのみをオンにした状態でリング発振回路を発振させ、発振周波数を測定する。

【 0 0 2 3 】

また、本体集積回路の N c h トランジスタの遅延特性が規格範囲内かどうかをテストする場合には、第 1 の制御信号を “ H i g h ” 、第 2 の制御信号を “ H i g h ” にして、各トランスファゲートの N c h トランジスタのみをオンにした状態でリング発振回路を発振させ、発振周波数を測定する。

【 0 0 2 4 】

さらに、本体集積回路の P c h トランジスタと N c h トランジスタのトータルの遅延特性が規格範囲内かどうかをテストする場合には、第 1 の制御信号を “ L o w ” 、第 2 の制御信号を “ H i g h ” にして、各トランスファゲートの P c h トランジスタ及び N c h トランジスタをオンにした状態でリング発振回路を発振させ、発振周波数を測定する。

【 0 0 2 5 】

本発明のリング発振回路において各トランスファゲートの P c h トランジスタのみをオンにした状態でリング発振回路を発振させた場合には、各遅延回路の立ち下がり特性はトランスファゲートの P c h トランジスタと CMOS インバータの N c h トランジスタの特性に依存し、各遅延回路の立ち上がり特性はトランスファゲートの P c h トランジスタと CMOS インバータの P c h トランジスタの特性に依存するので、リング発振回路の発振周期は、 P c h トランジスタにより多く依存した値となる。

【 0 0 2 6 】

また、各トランスファゲートの N c h トランジスタのみをオンにした状態でリング発振回路を発振させた場合には、各遅延回路の立ち下がり特性はトランスフ

ファゲートのN c hトランジスタとCMOSインバータのN c hトランジスタの特性に依存し、各遅延回路の立ち上がり特性はトランスファゲートのN c hトランジスタとCMOSインバータのP c hトランジスタの特性に依存するので、リング発振回路の発振周期は、N c hトランジスタにより多く依存した値となる。

【 0 0 2 7 】

さらに、各トランスファゲートのP c hトランジスタ及びN c hトランジスタをオンにした状態でリング発振回路を発振させた場合、各遅延回路の立ち下がり特性はトランスファゲートの並列接続されたP c hトランジスタ及びN c hトランジスタとCMOSインバータのN c hトランジスタの特性に依存し、各遅延回路の立ち上がり特性はトランスファゲートの並列接続されたP c hトランジスタ及びN c hトランジスタとCMOSインバータのP c hトランジスタの特性に依存するので、リング発振回路の発振周期は、P c hトランジスタとN c hトランジスタのトータルのトランジスタ特性に依存した値となる。

【 0 0 2 8 】

このように本発明のリング発振回路は、一つのリング発振回路を3種類のリング発振回路に切り替えることができ、かつ各発振周期を、リング発振回路を構成するP c hトランジスタとN c hトランジスタに依存させることができるので、P c hトランジスタとN c hトランジスタを含む半導体集積回路の動作特性試験の際に、半導体集積回路内のP c hトランジスタとN c hトランジスタの特性をそれぞれ独立に試験することが可能となる。

【 0 0 2 9 】

【発明の実施の形態】

図1は、本発明リング発振回路の第1の実施形態を示すブロック構成図である。

【 0 0 3 0 】

本実施形態のリング発振回路は、並列接続されたP c hトランジスタとN c hトランジスタからなるトランスファゲート2と、トランスファゲート2の出力が入力されるCMOSインバータ3との縦続接続によって構成された遅延回路1-1～1-nを、奇数段縦続接続するとともに最終段の遅延回路1-nの出力を初

段の遅延回路 1-1 の入力にフィードバックすることにより構成されている。

【0031】

遅延回路 1-2 ～ 1-n の内部構成は遅延回路 1-1 と同様の構成となっている。各遅延回路におけるトランスファゲート 2 の Pch トランジスタのゲート電極には、共通に Pch 制御信号が入力される。同様に、各遅延回路におけるトランスファゲート 2 の Nch トランジスタのゲート電極には、共通に Nch 制御信号が入力される。

【0032】

この Pch 制御信号と Nch 制御信号を電源電位 (“High”) または接地電位 (“Low”) に切り替えることにより、リング発振回路は、各遅延回路におけるトランスファゲート 2 の Pch トランジスタをオン、Nch トランジスタをオフとした状態での発振と、トランスファゲート 2 の Pch トランジスタをオフ、Nch トランジスタをオンとした状態での発振と、トランスファゲート 2 の Pch トランジスタ及び Nch トランジスタの両方をオンにした状態での発振とに切り替えられ、それぞれのモードにおける発振動作を行う。

【0033】

以下、本実施形態の動作について、図 1 を参照して詳細に説明する。なお以下で説明するリング発振回路は、縦続接続された遅延回路の数 n が 3 のリング発振回路とし、また、各遅延回路内の各 Pch トランジスタと各 Nch トランジスタは同一チップ上でそれぞれ同一の製造過程で形成されており、各遅延回路 1-1 ～ 1-3 における遅延特性は同一であるとする。

【0034】

まず、Pch 制御信号 = “Low”、Nch 制御信号 = “Low” として、各遅延回路におけるトランスファゲート 2 の Pch トランジスタをオン、Nch トランジスタをオフとした状態で、このリング発振回路を発振させる。遅延回路 1-3 の出力ノード 6 から出力される発振クロック信号が接地電位から電源電位 V_{cc} に立ち上がると、遅延回路 1-1 の出力ノード 4 の電位は、トランスファゲート 2 の Pch トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の Nch トランジスタがオフからオンに移る遅延時間 T_{dn} を加算し

た遅延時間 $T_{dtp} + T_{dn}$ 遅れて電源電位 V_{cc} から接地電位に立ち下がる。

【0035】

遅延回路 1-2 の出力ノード 5 の電位は、さらにトランスファゲート 2 の P_{ch} トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の P_{ch} トランジスタがオフからオンに遷移する遅延時間 T_{dp} を加算した遅延時間 $T_{dtp} + T_{dp}$ 遅れて接地電位から電源電位 V_{cc} に立ち上がる。遅延回路 1-3 の出力ノード 6 の電位は、さらにトランスファゲート 2 の P_{ch} トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の N_{ch} トランジスタがオフからオンに遷移する遅延時間 T_{dn} を加算した遅延時間 $T_{dtp} + T_{dn}$ 遅れて電源電位 V_{cc} から接地電位に立ち下がる。

【0036】

これを受けて遅延回路 1-1 の出力ノード 4 の電位は、さらにトランスファゲート 2 の P_{ch} トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の P_{ch} トランジスタがオフからオンに遷移する遅延時間 T_{dp} を加算した遅延時間 $T_{dtp} + T_{dp}$ 遅れて接地電位から電源電位 V_{cc} に立ち上がる。遅延回路 1-2 の出力ノード 5 の電位は、さらにトランスファゲート 2 の P_{ch} トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の N_{ch} トランジスタがオフからオンに遷移する遅延時間 T_{dn} を加算した遅延時間 $T_{dtp} + T_{dn}$ 遅れて電源電位 V_{cc} から接地電位に立ち下がる。

【0037】

遅延回路 1-3 の出力ノード 6 の電位は、さらにトランスファゲート 2 の P_{ch} トランジスタに依存する伝送遅延時間 T_{dtp} と CMOS インバータ 3 の P_{ch} トランジスタがオフからオンに遷移する遅延時間 T_{dp} を加算した遅延時間 $T_{dtp} + T_{dp}$ 遅れて接地電位から電源電位 V_{cc} に立ち上がる。

【0038】

この一連の動作により出力ノード 6 から 1 周期分のクロック信号が出力されるから、このリング発振回路から出力されるクロック信号の周期 T_p は、

$$T_p = 6 T_{dtp} + 3 (T_{dp} + T_{dn})$$

となる。

【 0 0 3 9 】

次に、P c h制御信号 = “H i g h”、N c h制御信号 = “H i g h”として、各遅延回路におけるトランスファゲート2のP c hトランジスタをオフ、N c hトランジスタをオンとした状態で、このリング発振回路を発振させる。

【 0 0 4 0 】

この場合、各トランスファゲート2の伝送遅延時間がN c hトランジスタに依存したT d t nとなる点を除けば、上記各遅延回路におけるトランスファゲート2のP c hトランジスタをオン、N c hトランジスタをオフとした状態で発振させた場合と同様であるので、この場合のリング発振回路から出力されるクロック信号の周期T nは、

$$T n = 6 T d t n + 3 (T d p + T d n)$$

となる。

【 0 0 4 1 】

次に、P c h制御信号 = “L o w”、N c h制御信号 = “H i g h”として、各遅延回路におけるトランスファゲート2のP c hトランジスタ及びN c hトランジスタを両方ともオンにした状態で、このリング発振回路を発振させる。

【 0 0 4 2 】

この場合、各トランスファゲート2の伝送遅延時間がP c hトランジスタとN c hトランジスタの並列回路に依存したT d tとなる点を除けば、上記各遅延回路におけるトランスファゲート2のP c hトランジスタまたはN c hトランジスタの一方のみをオンにした状態で発振させた場合と同様であるので、この場合のリング発振回路から出力されるクロック信号の周期T tは、

$$T t = 6 T d t + 3 (T d p + T d n)$$

となる。

【 0 0 4 3 】

このように、リング発振回路を3種類のモードで発振させることにより、3種類の発振周期、T p、T n、T tが得られるが、発振周期T pは、P c hトランジスタの特性により多く依存した値となり、発振周期T nは、N c hトランジスタの特性により多く依存した値となり、発振周期T tは、P c hトランジスタと

N c h トランジスタのトータルの特性に依存した値となる。

【 0 0 4 4 】

このリング発振回路を本体集積回路と同一の製造条件で半導体チップの空きスペースに形成しておき、上記各発振モードで発振させると、上記各発振周期 T_p 、 T_n 、および T_t は、それぞれ半導体チップ上に形成された本体集積回路の P c h トランジスタの特性を反映した発振周期、本体集積回路の N c h トランジスタの特性を反映した発振周期、および P c h トランジスタと N c h トランジスタのトータルの特性を反映した発振周期となる。

【 0 0 4 5 】

従って、これらの発振周期を測定し、各発振周期がそれぞれ設定した規格範囲内かどうかを判定することにより、例えば、半導体装置の P c h トランジスタ及び N c h トランジスタのトータルの特性が規格範囲内であって、P c h トランジスタと N c h トランジスタのいずれか一方が規格範囲外であるような場合にも、その良否を正確に選別することが可能になる。

【 0 0 4 6 】

図 2 は、本発明リング発振回路の第 2 の実施形態を示すブロック構成図である。

【 0 0 4 7 】

本実施形態のリング発振回路は、入力信号を反転遅延して出力する遅延回路 1-1 ~ 1-n が偶数段縦続接続されるとともに初段の遅延回路 1-1 の入力側にナンドゲート 2 1 が接続されている。各遅延回路 1-1 ~ 1-n は、第 1 の実施形態における遅延回路と同一の構成であり、並列接続された P c h トランジスタと N c h トランジスタからなるトランスファゲート 2 と、トランスファゲート 2 の出力が入力される C M O S インバータ 3 との縦続接続によって構成されている。

【 0 0 4 8 】

ナンドゲート 2 1 の第 1 の入力端子には最終段の遅延回路 1-n の出力がフィードバックされ、第 2 の入力端子には発振開始制御信号が入力される。ナンドゲート 2 1 の出力は初段の遅延回路 1-1 の入力信号となる。また、本実施形態で

は、リング発振回路の発振出力を分周するためにフリップフロップ回路等からなる分周回路 2 2 が接続されている。

【 0 0 4 9 】

第 1 の実施形態では、リング発振回路に 3 種類の発振モードのいずれかが設定され、電源が供給されると発振を開始するが、本実施形態では、さらにナンドゲート 2 1 の第 2 の入力端に発振開始信号が入力されたとき発振を開始する。リング発振回路の発振動作自体は第 1 の実施形態と同様であるのでその詳細説明は省略する。また、分周回路 2 2 は動作が高速化した際の測定器との関係で適宜設けられるものであって必ずしも必要とするものではない。

【 0 0 5 0 】

図 3 は、第 2 の実施形態において、遅延回路の段数を 1 0 段としたリング発振回路を各種モデルの半導体集積回路の空きスペースに形成し、3 種類の発振モードを設定して発振させた場合の発振周期（単位は n s e c）をシミュレーションした結果を示している。

【 0 0 5 1 】

図 3 において、「P 特性」は、P c h 制御信号 = “L o w”、N c h 制御信号 = “L o w”として、各遅延回路におけるトランスファゲートの P c h トランジスタをオン、N c h トランジスタをオフとした状態でリング発振回路を発振させた場合、「N 特性」は、P c h 制御信号 = “H i g h”、N c h 制御信号 = “H i g h”として、各遅延回路におけるトランスファゲートの P c h トランジスタをオフ、N c h トランジスタをオンとした状態でリング発振回路を発振させた場合、「通常 m o d e」は、P c h 制御信号 = “L o w”、N c h 制御信号 = “H i g h”として、各遅延回路におけるトランスファゲートの P c h トランジスタ及び N c h トランジスタを両方ともオンとした状態でリング発振回路を発振させた場合の各発振周期を示している。

【 0 0 5 2 】

また、「s l o w」は、P c h トランジスタ及び N c h トランジスタが共に高いしきい値を有しているために、遅延が大きい場合、「t y p」は、P c h トランジスタ及び N c h トランジスタが共に最適なしきい値を有し、最適な遅延特性

となっている場合、「fast」は、Pchトランジスタ及びNchトランジスタが共に低いしきい値を有し、遅延が小さい場合、「plnh」は、Pchトランジスタは低いしきい値を有し、Nchトランジスタは高いしきい値を有している場合、「phnl」は、Pchトランジスタは高いしきい値を有し、Nchトランジスタは低いしきい値を有している場合の各モデルをそれぞれ表している。

【0053】

図3において、例えば「通常mode」時の発振周期の規格範囲を、80ns以下というように設定した場合、従来のテストでは、slowモデル以外は全て良品と判定されるが、本発明では、「P特性」及び「N特性」時の発振周期の規格範囲を、例えば120ns以下というような設定を行うことにより、plnhモデルおよびphnlモデルについても規格範囲外であるとして良品から除外することが可能となり、製品の信頼性をより高めることができる。

【0054】

なお、上記実施形態では、PチャネルMOSトランジスタとNチャネルMOSトランジスタを含む半導体集積回路装置をその対象として説明したが、本発明は、互いに異なる第1及び第2の導電型トランジスタ（例えばPNPトランジスタとNPNトランジスタ等）を含む任意の半導体集積回路装置に対して適用することができる。

【0055】

その場合、本発明のリング発振回路は、複数の遅延回路と、その電流経路が隣接する遅延回路の間に設けられ第1の制御信号によりその導通状態が制御される第1導電型トランジスタと、その電流経路が前記隣接する遅延回路の間に設けられ前記第1の制御信号と異なる第2の制御信号によりその導通状態が制御される第2導電型トランジスタとからなるトランスファゲートを有し、これら第1導電型トランジスタと第2導電型トランジスタのいずれか一方のみをオン状態、両方をオン状態としてそれぞれ発振するように構成される。

【0056】

この場合にも、リング発振回路は3種類のモードで発振させることができ、これら3種類の発振周期は、それぞれ、第1導電型トランジスタの特性により多く

依存した値、第2導電型トランジスタの特性により多く依存した値、および第1導電型トランジスタと第2導電型トランジスタのトータルの特性に依存した値となる。

【0057】

【発明の効果】

本発明のリング発振回路によれば、一つのリング発振回路を3種類のリング発振回路に切り替えることができ、かつ各発振周期を、リング発振回路を構成する例えば、PchトランジスタとNchトランジスタにそれぞれ依存した値にすることが可能である。

【0058】

また、本発明のリング発振回路を用いてPchトランジスタとNchトランジスタを含む半導体集積回路装置（LSI等）の試験を行えば、CMOSインバータチェーンのリング発振回路における通常モードの発振周期が規格範囲内に収まっている場合であっても、PchトランジスタとNchトランジスタのどちらかあるいは両方が製造規格を外れている場合には、製造不良品として判定することが可能となるので、半導体集積回路装置の信頼性をより高めることができる。

【図面の簡単な説明】

【図1】

本発明リング発振回路の第1の実施形態を示すブロック構成図である。

【図2】

本発明リング発振回路の第2の実施形態を示すブロック構成図である。

【図3】

本発明の実施例についてシミュレーションした結果を示す図表である。

【図4】

従来例を示す図である。

【図5】

従来例を示す図である。

【符号の説明】

1-1～1-n 遅延回路

2 トランスファゲート

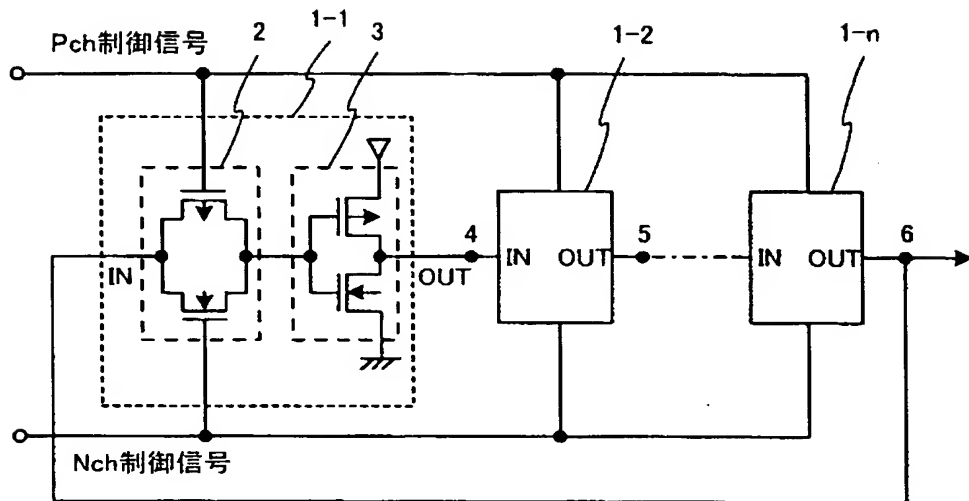
3 CMOSインバータ

2 1 ナンドゲート

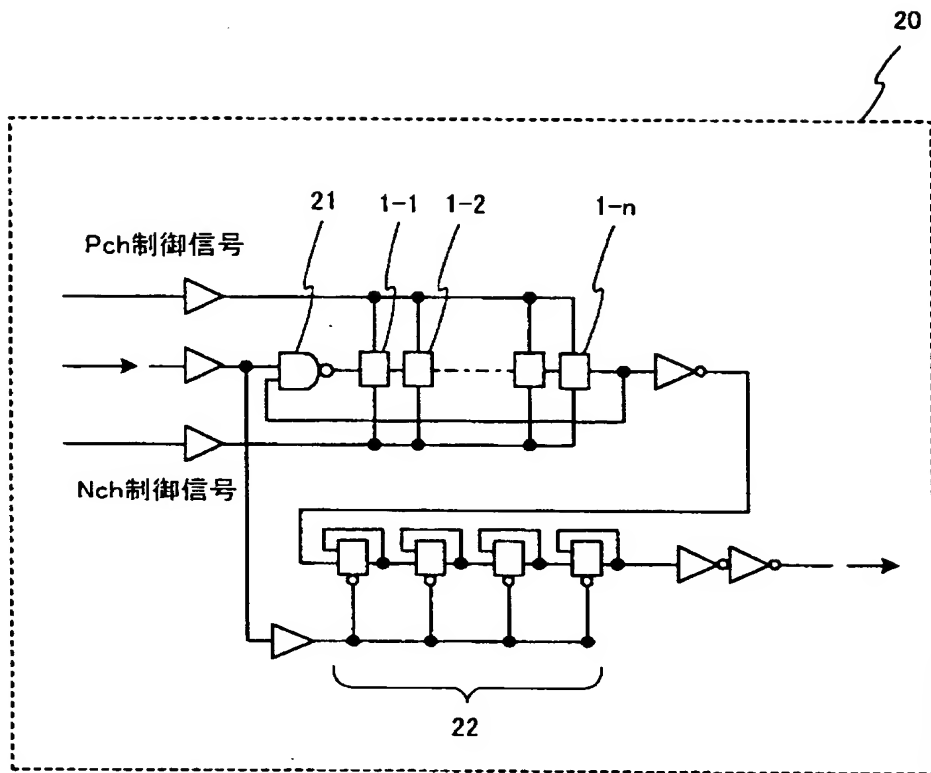
2 2 分周回路

【書類名】 図面

【図 1】



【図 2】



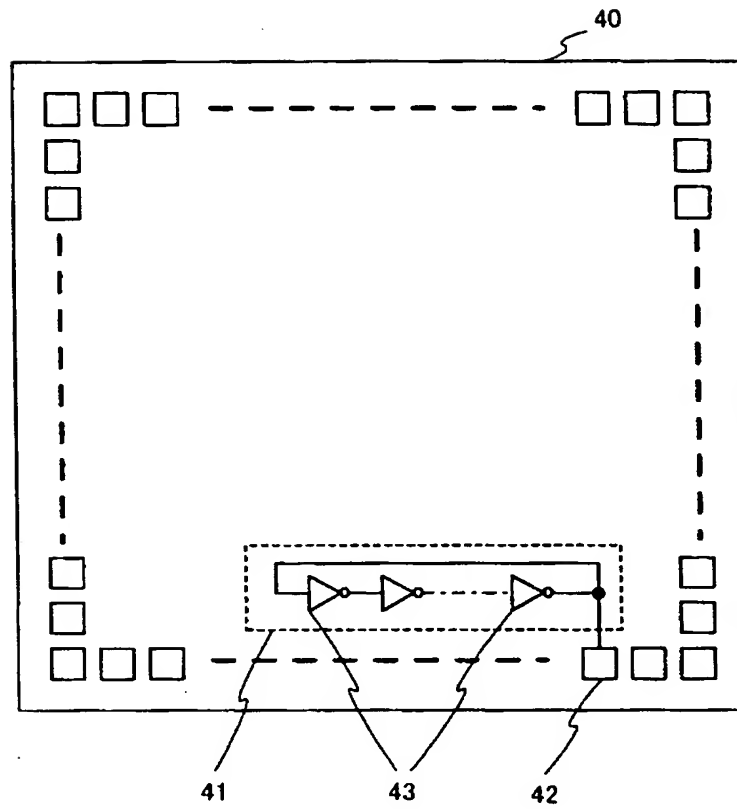
【図 3】

シミュレーション結果

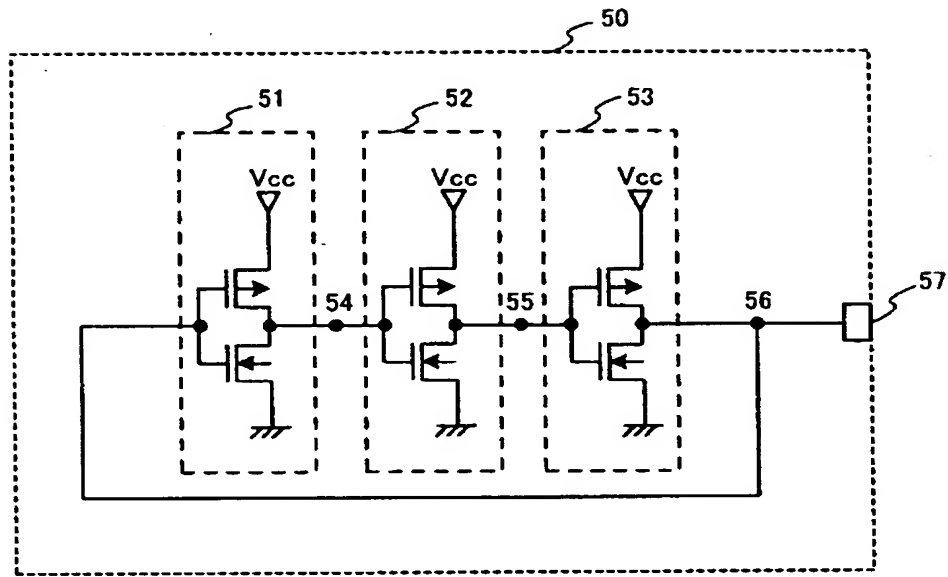
モデル	P特性	N特性	通常mode
slow	141.10	127.80	95.73
typ	102.50	90.02	77.35
fast	75.13	66.89	62.98
plnh	90.18	127.30	79.44
phnl	131.80	75.88	75.51

(nsec)

【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 P c h トランジスタと N c h トランジスタのどちらか一方が製造規格を外れている場合にも、製造不良を検出可能なリング発振回路を提供する。

【解決手段】 リング発振回路は、P c h トランジスタと N c h トランジスタを並列接続したトランスファゲート 2 と、トランスファゲート 2 の出力が入力される C M O S インバータ 3 との縦続接続によって構成された遅延回路 1 - 1 ~ 1 - n を奇数段縦続接続するとともに、最終段の遅延回路 1 - n の出力を初段の遅延回路 1 - 1 の入力にフィードバックすることにより構成されている。各遅延回路におけるトランスファゲート 2 の P c h トランジスタのゲート電極には共通に P c h 制御信号が入力され、各遅延回路におけるトランスファゲート 2 の N c h トランジスタのゲート電極には、共通に N c h 制御信号が入力されることにより、3 種類のモードに切り替えられて発信動作を行う。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）
【提出日】 平成15年 1月23日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2002-251843
【承継人】
 【識別番号】 302062931
 【氏名又は名称】 N E Cエレクトロニクス株式会社
【承継人代理人】
 【識別番号】 100105511
 【弁理士】
 【氏名又は名称】 鈴木 康夫
【提出物件の目録】
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届に添付のものを援用する
 【物件名】 承継人であることを証明する承継証明書 1
 【援用の表示】 平成15年1月10日提出の特願2002-31848
 8の出願人名義変更届に添付のものを援用する
 【包括委任状番号】 0300183
【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社